

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-57414
(P2001-57414A)

(43) 公開日 平成13年2月27日 (2001.2.27)

(51) Int.Cl. ⁷	識別記号	FI	テマコード* (参考)
H01L 27/108		H01L 27/10	651
21/8242		21/316	M
H01G 4/33		21/318	C
4/40		H01G 4/06	102
H01L 21/316		4/40	A

審査請求 未請求 請求項の数24 OL (全7頁) 最終頁に続く

(21) 出願番号 特願2000-199295 (P2000-199295)

(22) 出願日 平成12年6月30日 (2000.6.30)

(31) 優先権主張番号 1999/P26403

(32) 優先日 平成11年7月1日 (1999.7.1)

(33) 優先権主張国 韓国 (KR)

(71) 出願人 591024111

現代電子産業株式会社

大韓民国京畿道利川市夫鉢邑牙美里山136-1

(72) 発明者 李 起 正

大韓民国 ソウル 松坡区 石村洞 207-2 號

(72) 発明者 李 泰 赫

大韓民国 京畿道 利川市 大月面 邑東里 現代電子社員アパート 101-404

(74) 代理人 100093399

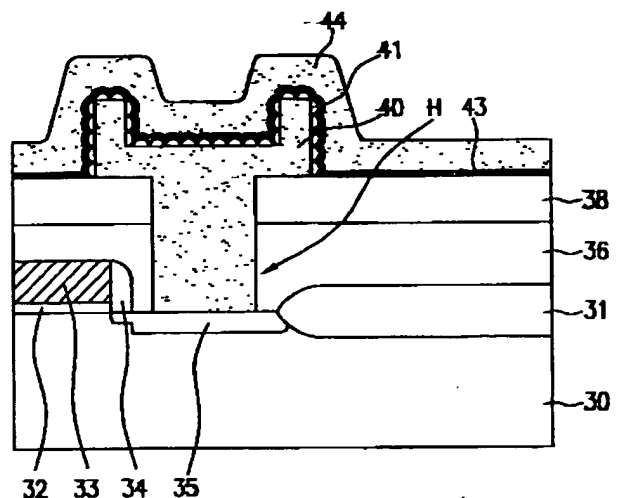
弁理士 瀬谷 徹 (外1名)

(54) 【発明の名称】 半導体メモリ素子のキャパシタ及びその製造方法

(57) 【要約】

【目的】 本発明は、リーク電流の発生が少なく高誘電率を持つ誘電体膜を備えることで、大容量を確保できる半導体素子のキャパシタを提供する。

【構成】 本発明は、半導体基板上に下部電極が形成される。下部電極表面は自然酸化膜の発生を阻止するように表面処理される。下部電極上に誘電体膜として非晶質 TaON 膜が蒸着される。その後、非晶質 TaON 膜は非晶質状態を維持する範囲で熱処理される。次に、TaON 膜上に上部電極が形成される。



【特許請求の範囲】

【請求項1】 半導体メモリ素子のキャパシタであって、下部電極；下部電極上に形成される誘電体膜；及び誘電体膜上に形成される上部電極を含み、前記誘電体膜は非晶質TaON膜であることを特徴とする、半導体メモリ素子のキャパシタ。

【請求項2】 前記下部電極の表面に窒化薄膜が形成されることを特徴とする、請求項1記載の半導体メモリ素子のキャパシタ。

【請求項3】 前記非晶質TaON膜の厚さは50乃至150Åであることを特徴とする、請求項2記載の半導体メモリ素子のキャパシタ。

【請求項4】 半導体基板上に下部電極を形成する段階；前記下部電極上に誘電体膜として非晶質TaON膜を蒸着する段階；前記非晶質TaON膜を非晶質状態が維持される範囲で熱処理する段階；及び前記TaON膜上に上部電極を形成する段階を含むことを特徴とする、半導体メモリ素子のキャパシタの製造方法。

【請求項5】 前記TaON膜は、300乃至600℃及び0.1乃至100Torr以下のLPCVDチャンバ内に、O₂ガス、NH₃ガス及び前駆体から得られたTa化学蒸気のウェーハ表面化学反応により形成されることを特徴とする、請求項4記載の半導体メモリ素子のキャパシタの製造方法。

【請求項6】 前記Ta化学蒸気は、99.999%以上の前駆体を流量調節器により定量化した後、50乃至300mg/min程度蒸発器または蒸発管で注入した後、蒸発させて得られることを特徴とする、請求項5記載の半導体メモリ素子のキャパシタの製造方法。

【請求項7】 前記蒸発器または蒸発管は150乃至200℃の温度を維持することを特徴とする、請求項6記載の半導体メモリ素子のキャパシタの製造方法。

【請求項8】 前記前駆体はTa(OC₂H₅)₅(tantalum ethylate)またはTa(N(CH₃)₂)₅(penta-dimethyl-amino-tantalum)であることを特徴とする、請求項7記載の半導体メモリ素子のキャパシタの製造方法。

【請求項9】 前記O₂ガス及びNH₃ガスは5乃至500sccm範囲で供給されることを特徴とする、請求項5記載の半導体メモリ素子のキャパシタの製造方法。

【請求項10】 前記下部電極の形成段階と、前記TaONの蒸着段階との間に、前記下部電極表面に自然酸化膜の発生を阻止するための表面処理をさらに行うことを特徴とする、請求項4記載の半導体メモリ素子のキャパシタの製造方法。

【請求項11】 前記下部電極の表面処理は、HF蒸気(HF vapor)、HF溶液(solution)

する、請求項10記載の半導体メモリ素子のキャパシタの製造方法。

【請求項12】 前記洗浄工程の前または後に、NH₄OH溶液またはH₂SO₄溶液等により界面処理をさらに行うことを特徴とする、請求項11記載の半導体メモリ素子のキャパシタの製造方法。

【請求項13】 前記非晶質TaON膜の蒸着段階の際、NH₃ガスを先に供給して下部電極表面を窒化後、O₂ガス及びTa化学蒸気を供給して非晶質TaON膜を形成することを特徴とする、請求項4記載の半導体メモリ素子のキャパシタの製造方法。

【請求項14】 前記非晶質TaON膜のアニーリング段階は、非晶質TaON膜が蒸着された結果物を、300乃至600℃の温度及び窒素を含むプラズマガス雰囲気中でアニーリングすることを特徴とする、請求項4記載の半導体メモリ素子のキャパシタの製造方法。

【請求項15】 前記非晶質TaON膜のアニーリング段階は、300乃至600℃の温度及び酸素を含むプラズマガス雰囲気中でアニーリングすることを特徴とする、請求項4記載の半導体メモリ素子のキャパシタの製造方法。

【請求項16】 半導体基板上に下部電極を形成する段階；前記下部電極を表面処理する段階；前記下部電極上に誘電体膜として非晶質TaON膜を蒸着する段階；前記非晶質TaON膜を非晶質状態を維持する範囲で熱処理する段階；及び前記TaON膜上に上部電極を形成する段階を含み、

前記非晶質TaON膜は、300乃至600℃及び0.1乃至100Torr以下のLPCVDチャンバ内に、O₂ガス、NH₃ガス及び前駆体から得られたTa化学蒸気のウェーハ表面化学反応により形成されることを特徴とする、半導体メモリ素子のキャパシタの製造方法。

【請求項17】 前記Ta化学蒸気は、99.999%以上の前駆体を流量調節器により定量化した後、50乃至300mg/min程度蒸発器または蒸発管で注入した後、蒸発させて得られることを特徴とする、請求項16記載の半導体メモリ素子のキャパシタの製造方法。

【請求項18】 前記前駆体はTa(OC₂H₅)₅(tantalum ethylate)またはTa(N(CH₃)₂)₅(penta-dimethyl-amino-tantalum)であることを特徴とする、請求項17記載の半導体メモリ素子のキャパシタの製造方法。

【請求項19】 前記O₂ガス及びNH₃ガスは5乃至500sccm範囲で供給されることを特徴とする、請求項16記載の半導体メモリ素子のキャパシタの製造方法。

【請求項20】 前記下部電極の表面処理は、HF蒸気(HF vapor)、HF溶液(solution)

3

する、請求項16記載の半導体メモリ素子のキャパシタの製造方法。

【請求項21】 前記洗浄工程の前または後に、 NH_4OH 溶液または H_2SO_4 溶液等により界面処理をさらに行うことを特徴とする、請求項20記載の半導体メモリ素子のキャパシタの製造方法。

【請求項22】 前記下部電極の表面処理は、 NH_3 ガスを供給して下部電極表面を窒化することを特徴とする、請求項16記載の半導体メモリ素子のキャパシタの製造方法。

【請求項23】 前記非晶質 TaON 膜のアニーリング段階は、非晶質 TaON 膜が蒸着された結果物を、300乃至600℃の温度及び窒素を含むプラズマガス雰囲気中でアニーリングすることを特徴とする、請求項16記載の半導体メモリ素子のキャパシタの製造方法。

【請求項24】 前記非晶質 TaON 膜のアニーリング段階は、300乃至600℃の温度及び酸素を含むプラズマガス雰囲気中でアニーリングすることを特徴とする、請求項16記載の半導体メモリ素子のキャパシタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体メモリ素子のキャパシタ及びその製造方法に関し、より詳しくは、リーク電流の発生が少なく、高誘電率を持つ誘電体膜を備える半導体メモリ素子のキャパシタ及びその製造方法に関する。

【0002】

【従来の技術】最近、半導体製造技術の発達に伴い、メモリ素子の需要が急増しつつある。これにより、メモリ素子は狭い面積に対する高いキャパシタンスが要求される。この様なキャパシタの静電容量(capacitance)は、高誘電率を持つ絶縁体を用いるか、或いは下部電極の表面積に拡大させることにより増大する。従来のキャパシタは NO (nitride-oxide)膜よりも高誘電率のタンタル酸化膜(Ta_2O_5)が誘電体として用いられることで、下部電極の構造が3次的に形成される。

【0003】図1は従来の半導体メモリ素子のキャパシタを示す断面図である。図1に示すように、下部にゲート絶縁膜12を含むゲート電極13は、フィールド酸化膜11が所定部分に形成された半導体基板10上に公知の方式によって形成される。接合領域14はゲート電極13の両側の半導体基板10に形成されてMOSTランジスタが形成される。第1層間絶縁膜16及び第2層間絶縁膜18はMOSTランジスタの形成された半導体基板10上に形成される。ストレージノードコンタクトホールhは、接合領域14が露出するように、第1及び第2層間絶縁膜16、18内に形成される。シリンダー形

4

域14とコンタクトされるように、ストレージノードコンタクトホールh内に形成される。 HSG (Hemispherical Grain)膜21は下部電極20の表面積を一層増大させる為に、下部電極20の表面に形成される。タンタル酸化膜23は HSG 膜21表面に形成される。このとき、タンタル酸化膜23は後工程にて形成される。まず、タンタル酸化膜23の形成前に、 HSG 膜21表面を洗浄後、ex-situ方式にて RTN (rapid thermal Nitridation)工程を行う。 RTN 工程にて HSG 膜21表面にシリコン窒化膜22が形成される。続いて、約400乃至450℃の温度で53乃至57Å厚さで第1タンタル酸化膜が形成される。その後、低温でアニーリング工程を行った後、第1タンタル酸化膜と同じ工程及び同じ厚さで第2タンタル酸化膜が形成される。次に、連続的に低温及び高温でアニーリング工程を行い、単一のタンタル酸化膜23が形成される。上部電極24はタンタル酸化膜23及び第2層間絶縁膜18上に蒸着され、キャパシタが完成する。

【0004】

【発明が解決しようとする課題】しかしながら、タンタル酸化膜を誘電体とする従来のキャパシタは、次のような問題点がある。まず、一般的なタンタル酸化膜は不安な化学量論比(stoichiometry)を持つため、 Ta と O の造成比に差が発生する。このため、置換型 Ta 原子すなわち空孔原子(vacancy atom)が薄膜内に発生する。この空孔原子は酸素空孔(oxygen vacancy)であるから、リーク電流の原因になる。空孔原子の量はタンタル酸化膜を構成する構成要素の含量と結合程度によって調節できるが、完全には除去し難い。

【0005】現在は、タンタル酸化膜の不安な化学量論比を安定する為に、タンタル酸化膜内の置換型 Ta 原子をタンタル酸化膜の酸化により除去する。しかし、タンタル酸化膜を酸化させると、次の様な問題点がある。すなわち、タンタル酸化膜はポリシリコンまたは TiN で形成される上部及び下部電極と酸化反応性が大きい。よって、置換型 Ta 原子を酸化させるための酸化工程時、タンタル酸化膜と上部電極または下部電極との反応により、界面に低誘電率を持つ酸化膜が発生し、タンタル酸化膜と下部電極の界面に酸素が移動されて界面の均一性が低下する。

【0006】また、前駆体(precursor)として用いられる $\text{Ta}(\text{OC}_2\text{H}_5)_5$ の有機物は多量の炭素成分を持つため、炭素原子(C)、炭素化合物(C_2H_4 、 C_2H_6)及び H_2O の様な不純物がタンタル酸化膜内に発生する。この不純物はキャパシタのリーク電流を増大させ、タンタル酸化膜の誘電特性を低下させるため、大容量のキャパシタを得にくい。

用いる方法は、タンタル酸化膜の形成前に洗浄工程を行ってから、別のex-situ工程を行う必要があり、タンタル酸化膜を2段階に蒸着する必要がある、タンタル酸化膜を形成後、低温及び高温で2回に渡って熱処理工程を行う必要がある。このため、工程が複雑になる。

【0008】従って、本発明の目的は、リーク電流の発生が少なく高誘電率を持つ誘電体膜を備えることで、大容量を確保できる半導体素子のキャパシタを提供することにある。

【0009】また、本発明の他の目的は、製造工程を単純化することができる半導体素子のキャパシタの製造方法を提供することにある。

【0010】

【課題を解決するための手段】前記目的を達成するために、本発明は、半導体メモリ素子のキャパシタは、下部電極；下部電極上に形成される誘電体膜；及び誘電体膜上に形成される上部電極を含み、前記誘電体膜は非晶質TaON膜である。また、前記下部電極の表面に窒化薄膜が形成され、前記非晶質TaON膜の厚さは50乃至150Åであることを特徴とする半導体メモリ素子のキャパシタである。

【0011】また、本発明は、半導体基板上に下部電極を形成する段階；前記下部電極上に誘電体膜として非晶質TaON膜を蒸着する段階；前記非晶質TaON膜を非晶質状態が維持される範囲で熱処理する段階；及び前記TaON膜上に上部電極を形成する段階を含むことを特徴とする半導体メモリ素子のキャパシタの製造方法である。

【0012】前記TaON膜は、300乃至600℃及び0.1乃至100Torr以下のLPCVDチャンバ内に、O₂ガス、NH₃ガス及び前駆体から得られたTa化学蒸気のウェーハ表面化学反応により形成されることを特徴とする。前記Ta化学蒸気は、99.999%以上の前駆体を流量調節器により定量化した後、50乃至300mg/min程度蒸発器または蒸発管で注入した後、蒸発させて得られることを特徴とする。前記蒸発器または蒸発管は150乃至200℃の温度を維持することを特徴とする。前記前駆体はTa(OC₂H₅)₅(tantalum ethylate)またはTa(N(CH₃)₂)₅(penta-dimethyl-amino-tantalum)であることを特徴とする。前記O₂ガス及びNH₃ガスは5乃至500sccm範囲で供給される。前記下部電極の形成段階と、前記TaONの蒸着段階との間に、前記下部電極表面に自然酸化膜の発生を阻止するための表面処理をさらに行うことを特徴とする。

【0013】前記下部電極の表面処理は、HF蒸気(HF vapor)、HF溶液(solution)またはHFを含む化合物を用いて洗浄することを特徴とす

はH₂SO₄溶液等により界面処理をさらに行うことを特徴とする。前記非晶質TaON膜の蒸着段階の際、NH₃ガスを先に供給して下部電極表面を窒化後、O₂ガス及びTa化学蒸気を供給して非晶質TaON膜を形成することを特徴とする。前記非晶質TaON膜のアニーリング段階は、非晶質TaON膜が蒸着された結果物を、300乃至600℃の温度及び窒素を含むプラズマガス雰囲気中でアニーリングすることを特徴とする。前記非晶質TaON膜のアニーリング段階は、300乃至600℃の温度及び酸素を含むプラズマガス雰囲気中でアニーリングすることを特徴とする。

【0014】さらにまた、本発明は、半導体基板上に下部電極を形成する段階；前記下部電極を表面処理する段階；前記下部電極上に誘電体膜として非晶質TaON膜を蒸着する段階；前記非晶質TaON膜を非晶質状態を維持する範囲で熱処理する段階；及び前記TaON膜上に上部電極を形成する段階を含み、前記非晶質TaON膜は、300乃至600℃及び0.1乃至100Torr以下のLPCVDチャンバ内に、O₂ガス、NH₃ガス及び前駆体から得られたTa化学蒸気のウェーハ表面化学反応により形成されることを特徴とする半導体メモリ素子のキャパシタの製造方法である。

【0015】前記Ta化学蒸気は、99.999%以上の前駆体を流量調節器により定量化した後、50乃至300mg/min程度蒸発器または蒸発管で注入した後、蒸発させて得られることを特徴とする。前記前駆体はTa(OC₂H₅)₅(tantalum ethylate)またはTa(N(CH₃)₂)₅(penta-dimethyl-amino-tantalum)であることを特徴とする。前記O₂ガス及びNH₃ガスは5乃至500sccm範囲で供給されることを特徴とする。前記下部電極の表面処理は、HF蒸気(HF vapor)、HF溶液(solution)またはHFを含む化合物を用いて洗浄することを特徴とする。前記洗浄工程の前または後に、NH₄OH溶液またはH₂SO₄溶液等により界面処理をさらに行うことを特徴とする。

【0016】前記下部電極の表面処理は、NH₃ガスを供給して下部電極表面を窒化することを特徴とする。前記非晶質TaON膜のアニーリング段階は、非晶質TaON膜が蒸着された結果物を、300乃至600℃の温度及び窒素を含むプラズマガス雰囲気中でアニーリングすることを特徴とする。前記非晶質TaON膜のアニーリング段階は、300乃至600℃の温度及び酸素を含むプラズマガス雰囲気中でアニーリングすることを特徴とする。

【0017】

【発明の実施の形態】以下、添付図面に基づき、本発明の好適実施例を詳細に説明する。図2を参照して、フィ

7

半導体基板30の所定部分に形成される。底部にゲート絶縁膜32を含むゲート電極33が半導体基板30上の所定部分に形成され、スペーサ34はゲート電極33の両側壁に公知の方式にて形成される。接合領域35はゲート電極33の両側の半導体基板30に形成されてMOSトランジスタが形成される。第1層間絶縁膜36及び第2層間絶縁膜38はMOSトランジスタの形成された半導体基板30に形成される。その後、接合領域35のうちの何れかが露出するように第2及び第1層間絶縁膜38、36がパターニングされ、ストリージョードコンタクトホールHが形成される。露出した接合領域35とコンタクトされるようにシリンドー形態或いはスタック形態の下部電極40が形成される。HSG膜41は下部電極40の表面積を増大させる為に、公知の方法にて下部電極40の表面に形成される。その後、HSG膜41の表面、すなわちHSG膜41を含む下部電極40と以後形成される誘電体膜(不図示)との間の界面に、低誘電自然酸化膜の発生を阻止する為に、下部電極40及び第2層間絶縁膜38がHF蒸気(HF vapor)、HF溶液(solution)またはHFを含む化合物を用いる洗浄処理される。このような洗浄処理はin-situまたはex-situにて進行される。しかも、自然発生した低誘電酸化膜の洗浄の前または後に、界面の均一性を一層改善する為に、HSG膜41の表面がNH₄OH溶液またはH₂SO₄溶液等によって界面処理される。

【0018】図3を参照して、誘電体として非晶質TaON膜43が下部電極40上に形成される。本発明の非晶質TaON膜43は、300乃至500℃の温度及び100torr以下の圧力を維持するLPCVDチャンバ内に形成される。非晶質TaON膜43は膜内の不純物の残存を最小化する為に、気相反応が抑制された状態で、Ta化学蒸気、O₂ガス及びNH₃ガスのウェーハ表面の化学反応により形成される。ここで、Ta化学蒸気は、Ta(OC₂H₅)₅(tantalum ethylate)、Ta(N(CH₃)₂)₅(pentamethylamino-tantalum)の様なタンタルを含有する有機金属前駆体(precursor)を蒸発させて形成される。すなわち、MFC(Mass Flow Controller)のような流量調節器を用いて定量化した前駆体が、オリフィス(orifice)またはノズル(nozzle)を含む蒸発器または蒸発管で注入されてから発されて、Ta化学蒸気が形成される。このとき、Ta化学蒸気の凝縮を防止できるように、蒸発器またはTa蒸気の流路(flow path)となる供給管の温度は150乃至200℃に維持させるのが望ましく、蒸発器または蒸発管で供給される前駆体の量は50乃至300mg/min程度が適当である。また、O₂ガス及びNH₃ガス

8

00sccm程度の流量に供給されるのが望ましい。特に、O₂ガスはTaON膜43の誘電率を調節する変数として、誘電率が30乃至100範囲となるように適切に調節して供給する。非晶質TaON膜43は約50乃至150Å厚さに形成される。このとき、非晶質TaON膜43の蒸着時、NH₃ガスが先に供給され、下部電極40の表面を窒化後、その雰囲気中で連続的にTaON膜43が蒸着される。そうすると、下部電極40の表面の窒化処理により、TaON膜の界面酸化が防止され、界面新和力が増大する。このとき、窒化処理により下部電極40の表面には窒化薄膜(不図示)が形成される。

【0019】その後、図4に示す様に、非晶質TaON膜43は膜特性を改善する為に、非晶質状態が変化しない範囲すなわち300乃至600℃で熱処理される。このとき、熱処理は窒素を含むプラズマガス例えばNH₃、N₂、N₂/H₂プラズマガス雰囲気中でアニーリングされるか、或いは酸素を含むプラズマガス例えばN₂OまたはO₂ガス雰囲気中でアニーリングされる。この様なプラズマアニーリング工程により、TaON膜43表面のマикроクラック(micro crack)及びピンホール(pin hole)の様な構造的欠陥及び構造的不均一性が改善する。このとき、アニーリング時、TaON膜を非晶質状態に維持することは下記の理由からである。一般的に結晶質状態のTaON膜は高温の熱処理工程が伴うため、TaON膜内の酸素の含量が増大する。一方、非晶質状態のTaON膜は高温の熱処理工程が伴わないため、相対的にTaON膜内の窒素含量が高い。これにより、誘電率において、窒素含量が相対的に高い非晶質状態の方が酸素含量が相対的に高い結晶質状態よりも高い。従って、一層高い誘電率を確保する為に、非晶質状態が変化しないように熱処理を進行する。その後、上部電極44がTaON膜43上に所定厚さに形成される。ここで、上部電極44はドーフトポリシリコンまたは金属層で形成される。このとき、金属層としては、TiN、Ta₂N、W、WN、WSi、Ru、RuO₂、Ir、IrO₂、Ptのうちの何れかが用いられる。このような金属層47はLPCVD、PECVD、RFマグネチックスパッタリング法の何れかにより形成される。このとき、上部電極44の形成前に、バリア金属膜(不図示)をさらに介在することができる。

【0020】また、非晶質TaON膜の蒸着前に、下部電極の表面処理はプラズマNH₃ガスアニーリングまたはRTN工程に代わることができる。

【0021】

【発明の効果】本実施例によれば、結晶質TaON膜($\epsilon=20\sim26$)に比べて誘電率の高い非晶質TaON膜($\epsilon=30\sim100$)をキャパシタの誘電体として適用することにより、メモリ素子のキャパシタンスが大きく増大する。

9

の安定した結合構造を持つため、タンタル酸化膜に比べて安定した化学量論比を持つ。よって、外部から印加される電氣的衝撃にも耐えることができ、絶縁破壊電圧 (breakdown voltage) が高く、リーク電流が非常に低い。合わせて、非晶質TaON膜は安定した構造を持つため、下部電極及び上部電極との酸化反応が殆ど発生しない。よって、等価誘電体膜の厚さを35Å未満と薄く制御可能である。

【0023】製造方法面において、TaON膜が単一層で形成され、膜蒸着後、膜を安定化させるためのアニーリング工程のみが行われる。これにより、従来のタンタル酸化膜の製造方法よりも単純になる。

【図面の簡単な説明】

【図1】従来の半導体素子のキャパシタを示す断面図である。

【図2】本発明による半導体素子のキャパシタの製造方

10

法を説明するための各工程別断面図である。

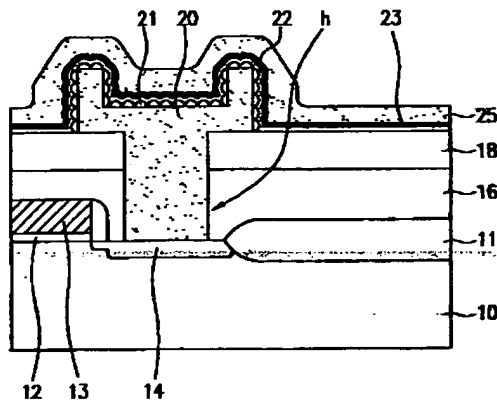
【図3】本発明による半導体素子のキャパシタの製造方法を説明するための各工程別断面図である。

【図4】本発明による半導体素子のキャパシタの製造方法を説明するための各工程別断面図である。

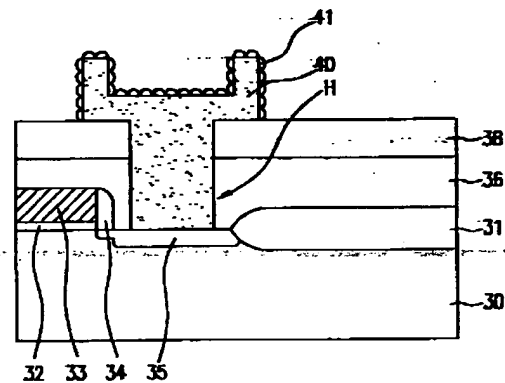
【符号の説明】

- 30 半導体基板
- 33 ゲート電極
- 35 接合領域
- 36 第1層間絶縁膜
- 38 第2層間絶縁膜
- 40 下部電極
- 41 HSG膜
- 43 非晶質TaON膜
- 44 上部電極

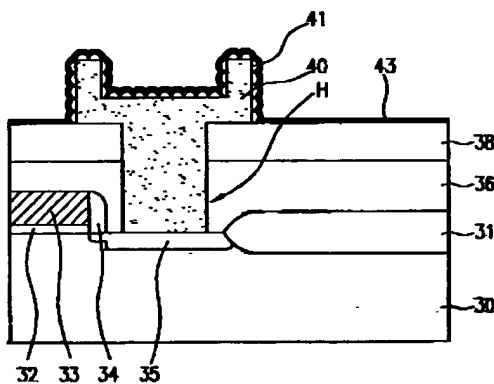
【図1】



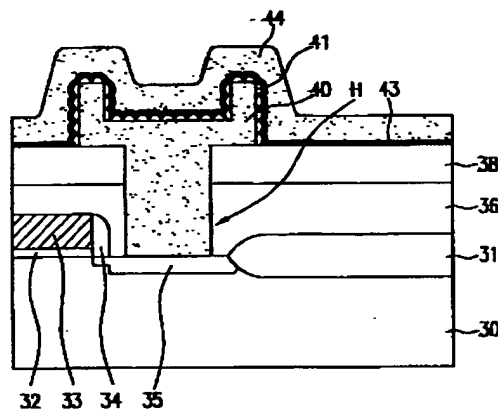
【図2】



【図3】



【図4】



フロントページの続き

(51)Int.Cl.⁷

H01L 21/318

識別記号

FI

H01L 27/10

タームコード(参考)

621C